

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10256423 A

(43) Date of publication of application: 25.09.98

(51) Int. Cl

H01L 23/12

H05K 3/32

H05K 3/34

(21) Application number: 09057864

(71) Applicant: SEIKO EPSON CORP

(22) Date of filing: 12.03.97

(72) Inventor: MIYAZAWA IKUYA

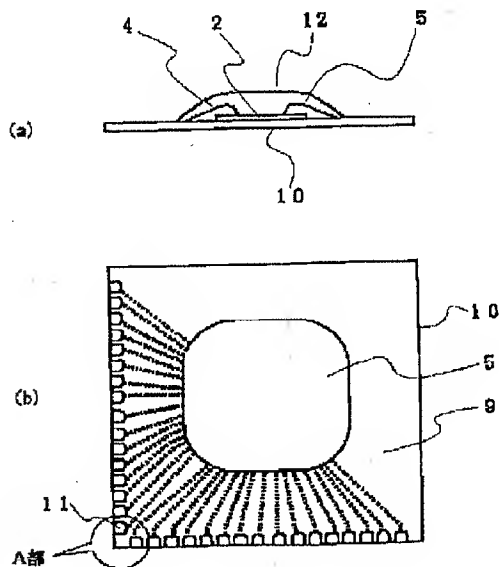
(54) SEMICONDUCTOR DEVICE AND MOUNTING METHOD THEREOF

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the semiconductor device which can achieve the compact configuration and the multi-chip pattern, and the semiconductor mounting method which can achieve the excellent mounting property, by making it possible to achieve the low price and the high yield rate, and by making it possible to realize the high-density mounting on a carrier substrate.

SOLUTION: In a one-surface single-layer substrate, connecting electrodes 11 for connecting a semiconductor device 12 to a circuit board are provided in the linear state, the staggering state and the grid state around a molding part 5 on the same level as the surface, to which a semiconductor chip 2 of a carrier substrate 10 without through holes is bonded. A resist film 9 is formed on the upper part other than the connecting electrodes 11. Then, the molding part 5 of the semiconductor device 12 is set on the side of the circuit board, and the connecting electrodes 11 and the connecting electrodes of the circuit board are bonded with solder or conductive resin.

COPYRIGHT: (C)1998,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256423

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl.⁶

識別記号

F I

H 0 1 L 23/12

H 0 1 L 23/12

Q

H 0 5 K 3/32

H 0 5 K 3/32

B

3/34

5 0 7

3/34

5 0 7 C

H 0 1 L 23/12

L

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号

特願平9-57864

(22) 出願日

平成9年(1997) 3月12日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 宮沢 郁也

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

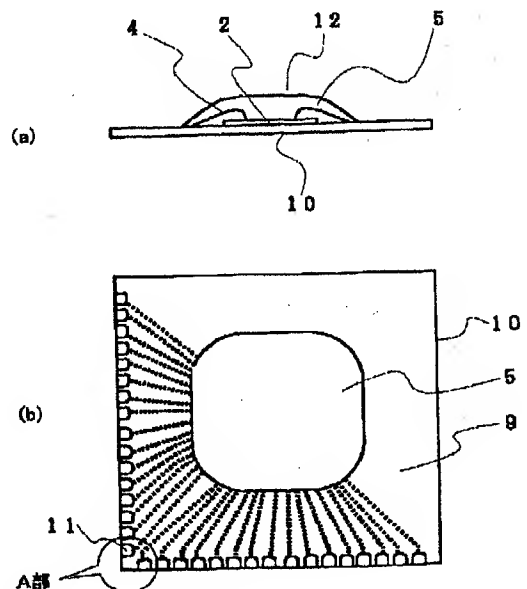
(74) 代理人 弁理士 鈴木 喜三郎 (外2名)

(54) 【発明の名称】 半導体装置およびその実装方法

(57) 【要約】

【課題】 低価格化と高歩留まりが達成でき、またキャリア基板への高密度実装を可能とすることで、小型化・マルチチップ化が達成できる半導体装置、および良好な実装性を達成することが出来る半導体の実装方法。

【解決手段】 片面単層基板で、スルーホールをもたないキャリア基板10の半導体チップ2を接合した面と同一面に、半導体装置12を回路基板に接続するための接続電極11を、モールド5部の周囲に線状・千鳥状・格子状に設ける。接続電極11以外の上にはレジスト9が形成されている。そして、半導体装置12のモールド5部を回路基板側にして、接続用電極11と回路基板の接続電極を、はんだもしくは導電性樹脂で接合する。



【特許請求の範囲】

【請求項1】 キャリア基板上に半導体チップを実装する半導体装置において、前記キャリア基板がスルーホール部を持たない片面の単層基板で、該単層基板上に、半導体装置と回路基板とを接続するための端子電極が形成されており、該端子電極が形成された面と同一面上に半導体チップが搭載されていることを特徴とする半導体装置。

【請求項2】 前記端子電極が、平面形の電極で、前記半導体チップの周囲に線上、または千鳥形状、または格子状に形成されていることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記半導体チップが前記キャリア基板上に導電性樹脂もしくは絶縁性樹脂で接合され、半導体チップとキャリア基板とがワイヤボンディングで電気的に接続されていることを特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記半導体チップに突起状の接続用電極が設けられており、前記キャリア基板上に該半導体チップを、金属ろう剤または導電性樹脂でフェイスダウン実装されていることを特徴とする請求項1または2記載の半導体装置。

【請求項5】 前記導電性樹脂が、異方性導電膜、異方性導電樹脂、もしくはAg、Au、Pd、Pt、Niの金属粉をベースとした導電ペーストのいずれかであることを特徴とする請求項4記載の半導体装置。

【請求項6】 前記金属ろう材が、Sn、Pb、Ag、Bi、Zn、Sb、In、Au、のいずれかを主成分とする金属ろう材、もしくは、これらの金属を主成分とする2元系あるいは多元系のはんだ材のいずれかであることを特徴とする請求項4記載の半導体装置。

【請求項7】 請求項1ないし6のいずれか記載の半導体装置を回路基板へ実装する方法において、前記回路基板に凹部もしくは穴を設け、前記半導体装置の半導体チップを封止するモールド部を回路基板側として、それぞれの接続用端子電極同士をはんだ、もしくは導電性樹脂にて接合することを特徴とする半導体装置の実装方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、回路基板等に用いられる半導体装置の構造とその実装方法に関するものである。

【0002】

【従来の技術】 「NEC電子デバイス、半導体デバイス・パッケージマニュアル、1992年8月発行 P235」に記載されるように、一般的にLCC（リードレスチップキャリア）と呼ばれる様なキャリア基板上に半導体チップが実装された半導体装置は、回路基板へ実装する為の電極としてハーフスルーホールを有するキャリア基板を使用する。以下、従来法による半導体装置である

LCC（リードレスチップキャリア）を、図19・図20を用いて説明する。図19（a）は断面図、（b）は平面図であり、図20（b）は、図19におけるA部を拡大した平面図で、図20（a）はB-B'の断面図である。また、図21に、従来法による半導体装置であるLCCの回路基板への実装方法を示す。図21（a）は断面図、（b）は（a）におけるC部の拡大図である。

【0003】 従来法によるLCCは、回路基板6との接続用電極として周囲にハーフスルーホール3を有するキャリア基板1を使用し、これに半導体チップ2をダイボンディング、ワイヤボンディング4行った後、半導体チップ2部をモールド5したものである。回路基板6への実装は、回路基板6上にLCCの接続用電極であるハーフスルーホール3の位置に合わせた接続用電極7を配し、はんだ接合によって回路基板電極からLCCスルーホール3部にかけてフレット8を形成して行っていた。

【0004】 このような半導体装置の場合、SOP・QFP等のパッケージのようなリードフレームや金型を必要とするトランスファーモールド工程がないため、カスタムICを使用する際等に比較的自由度の高い設計が可能となる等の優位性があった。

【0005】

【発明が解決しようとする課題】 しかしながら、LCCに用いられるキャリア基板は、基板の周囲に回路基板との接続用のハーフスルーホールを有しており、このハーフスルーホールの形成において、コスト・歩留まり・細密ピッチ化等の点で以下のような課題を有している。その課題とは、通常のスルーホールを形成した後に、不要となるスルーホールの半分を切削あるいは切断等の方法により削除しハーフスルーホールを形成するため、精密な機械加工を必要とすることによるコストアップ、また加工時にスルーホール部を傷つけ易いため歩留まりが悪く、さらにスルーホール形成における穴開け加工やメッキ技術の高度化に伴い、細密ピッチ化が難しい等である。

【0006】 本発明は、上記のような課題を解決するもので、その目的とするところは、低価格化と高歩留まりが達成でき、またキャリア基板への高密度実装を可能とすることで、小型化、マルチチップ化が達成できる半導体装置、および良好な実装性を達成することが出来る半導体の実装方法を提供することにある。

【0007】

【課題を解決するための手段】 本発明の半導体装置は、キャリア基板上に半導体チップを実装する半導体装置において、前記キャリア基板がスルーホール部を持たない片面の単層基板で、該単層基板上に、半導体装置と回路基板とを接続するための端子電極が形成されており、該端子電極が形成された面と同一面上に半導体チップが搭載されていることを特徴とする。また、半導体装置と回路基板とを接続するための前記端子電極が、平面形の電

極で、前記半導体チップの周囲に線上、または千鳥形状、または格子状に形成されていることを特徴とする。

【0008】さらに、前記半導体チップが前記キャリア基板上に導電性樹脂もしくは絶縁性樹脂で接合され、半導体チップとキャリア基板とがワイヤボンディングで電気的に接続されていることを特徴とする。

【0009】また、前記半導体チップに突起状の接続用電極が設けられており、キャリア基板上に半導体チップを、金属ろう剤または導電性樹脂でフェイスダウン実装されていることを特徴とする。そして、導電性樹脂が、異方性導電膜、異方性導電樹脂、もしくはAg、Au、Pd、Pt、Niの金属粉をペースとした導電ペーストのいずれかであることも特徴とし、また、前記金属ろう材が、Sn、Pb、Ag、Bi、Zn、Sb、In、Au、のいずれかを主成分とする金属ろう材、もしくは、これらの金属を主成分とする2元系あるいは多元系のはんだ材のいずれかであることも特徴とする。

【0010】さらに、本発明の半導体装置の実装方法は、前記半導体装置の回路基板への実装において、前記回路基板に凹部もしくは穴を設け、前記半導体装置の半導体チップを封止するモールド部を回路基板側として、それぞれの接続用端子電極同士をはんだ接合、もしくは導電性樹脂にて接合することを特徴とする。

【0011】本発明による半導体装置では、キャリア基板への半導体チップの実装する面と回路基板との接続用電極の形成面とを同一面とすることにより、キャリア基板をスルーホールのない単層片面基板とすることが可能となり、半導体装置の低価格化が達成出来る。また、回路基板との接続用電極を、従来からのLCCの様なハーフスルーホールとせず通常平面電極としたため、半導体装置の低価格化と高歩留まりが達成出来る。さらに、接続用電極を千鳥もしくは格子状に配置することで、電極の配置されるピッチ間隔を広く取りながらも電極数を多く配置することが出来る。

【0012】また、キャリア基板への半導体チップの実装方法をワイヤボンディングとすることにより、半導体装置の低価格化が達成出来、フェイスダウン実装とすることにより、キャリア基板への高密度実装が可能となり、半導体装置の小型化、マルチチップ化が達成出来る。さらに、本発明による半導体装置を回路基板に実装する場合に、回路基板に半導体チップのモールド部をニゲるための凹部もしくは穴を設けることによって、良好な実装性を達成することが出来る。

【0013】

【発明の実施の形態】以下に本発明の実施例を図面を用いて詳細に説明する。

【0014】図1および図2は、本発明における半導体装置の一実施例である。図1(a)は、本発明の一実施例における半導体装置12の断面図、図1(b)は図1(a)の平面図である。また、図2(b)は図1(b)

のA部を拡大した平面図、図2(a)は図2(b)におけるA-A'断面を表した図である。

【0015】半導体チップ2が、キャリア基板10上に、銀ペースト等の導電性接着剤もしくは絶縁性接着剤で接合された後、半導体チップ2とキャリア基板10の電極同士がワイヤボンディング4で電気的に接続されている。さらに、半導体チップ2とワイヤボンディング4部を封止するために、エポキシ系等の封止材によってモールド5されている。キャリア基板10は、単層の片面キャリア基板であり、半導体装置12を回路基板に接続するための電極11が、モールド5部の周囲に線状に設けられている。接続電極11以外の上にはレジスト9が形成されている。

【0016】図3は、本発明における半導体装置の実装方法の一実施例である。図3(a)は、図1および図2で示した半導体装置12の回路基板13への実装方法の一実施例を示したもので、図3(b)は、図3(a)のA部を拡大した図である。本実施例による実装方法は、半導体装置12のモールド5部を回路基板13側にし、接続用電極11と回路基板13の接続電極16を、はんだもしくは導電性樹脂14によって接合するものである。ここで回路基板13には、半導体装置12のモールド5部をニゲるための穴もしくは凹部15が設けられている。

【0017】図4および図5は、本発明における半導体装置の構造の別の実施例である。図4(a)は、本発明の一実施例における半導体装置18の断面図、図4(b)は、図4(a)の平面図である。また、図5(b)は図4(b)のA部拡大平面図、図5(a)は図5(b)におけるA-A'断面を表した図である。本実施例は、前記した半導体装置12(図1、図2)に対して、半導体装置18を回路基板に接続するための電極の形成方法が異なる。接続用電極17は、モールド5部の周囲に2列の千鳥の形状で設けられている。本実施例のように接続用電極の形状を千鳥形状とすることで、電極の配置されるピッチ間隔を広く取りながらも電極数を多く配置することが出来る。

【0018】図6は、本発明における半導体装置の実装方法の別の実施例である。図6(a)は、図4および図5で説明した半導体装置18の回路基板13への実装の一実施例を示したもので、図6(b)は、図6(a)のA部を拡大した図である。本実施例による実装方法は、前記した半導体装置12の実装方法(図3)と同様であるので説明は省略する。

【0019】図7および図8は、本発明における半導体装置の構造のさらに別の実施例である。図7(a)は、本発明の一実施例における半導体装置20の断面図、図7(b)は図7(a)の平面図である。また、図8(b)は図7(b)のA部を拡大した図であり、図8(a)は図8(b)におけるA-A'断面を表した図で

ある。本実施例は、前記した半導体装置12(図1, 図2)に対して、半導体装置18を回路基板に接続するための電極の形成方法が異なる。接続用電極19は、モールド5部の周囲に格子状に設けられている。本実施例のように接続用電極の形状を格子状とすることで、千鳥形状と同様に電極の配置されるピッチ間隔を広く取りながらも電極数を多く配置することが出来る。

【0020】図9は、本発明における半導体装置の実装方法のさらに別の一実施例である。図9(a)は、図7および図8で説明した半導体装置20の回路基板13への実装の一実施例を示したもので、図9(b)は、図9(a)のA部を拡大した図である。本実施例による実装方法は、前記した半導体装置12の実装方法(図3)と同様であるので説明は省略する。

【0021】図10および図11は、本発明における半導体装置の構造の別の一実施例である。図10(a)は、本発明の一実施例における半導体装置22の断面図、図10(b)は図10(a)の平面図である。また、図11(b)は図10(b)のA部を拡大した平面図、図11(a)は図11(b)におけるA-A'断面を表した図である。突起上の接続電極を有する半導体チップ25がキャリア基板10上に、Sn、Pb、Ag、Bi、Zn、Sb、In、Au、のいずれかを主成分とする金属ろう材、または、これらの金属を主成分とする2元系あるいは多元系のはんだ材、もしくは異方性導電膜、異方性導電樹脂、もしくはAg、Au、Pd、Pt、Niの金属粉をベースとした導電ペーストのいずれかの導電性糊剤でフェイスダウン実装されている。さらに、半導体チップ実装部を封止するために、エポキシ系等の封止材によってモールド5されている。そして、半導体装置22を回路基板13に接続するための電極11が、キャリア基板10の周囲に設けられている。また、回路基板13との接続電極11以外の部分はレジスト9に被われている。

【0022】図12は、本発明における半導体装置の実装方法の別の一実施例である。図12(a)は、図10および図11で説明した半導体装置22の回路基板13への実装方法の一実施例を示したもので、図12(b)は、図12(a)のA部を拡大した図である。本実施例による実装方法は、前記した半導体装置12の実装方法(図3)と同様であるので説明は省略する。

【0023】図13および図14は、本発明における半導体装置の構造の一実施例である。図13(a)は、本発明の一実施例における半導体装置23の断面図、図13(b)は図13(a)の平面図である。また、図14(b)は図13(b)のA部を拡大した図、図14(a)は図14(b)におけるA-A'断面を表した図である。本実施例は、前記した半導体装置22(図10、図11)に対して、半導体装置23を回路基板に接続するための電極の形成方法が異なる。接続用電極17

は、モールド5部の周囲に2列の千鳥の形状で設けられている。本実施例のように接続用電極の形状を千鳥形状とすることで、電極の配置されるピッチ間隔を広く取りながらも電極数を多く配置することが出来る。

【0024】図15は、本発明における半導体装置の実装方法の別の一実施例である。図15(a)は、図13および図14で説明した半導体装置23の回路基板13への実装の一実施例を示したもので、図15(b)は、図15(a)のA部を拡大した図である。本実施例による実装方法は、前記した半導体装置12の実装方法(図3)と同様であるので説明は省略する。

【0025】図16および図17は、本発明における半導体装置の構造の一実施例である。図16(a)は、本発明の一実施例における半導体装置24の断面図、図16(b)は図16(a)の平面図である。また、図17(b)は図16(b)のA部を拡大した図、図17(a)は図17(b)におけるA-A'断面を表した図である。本実施例は、前記した半導体装置22(図10、図11)に対して、半導体装置24を回路基板に接続するための電極の形成方法が異なる。接続用電極19は、モールド5部の周囲に格子状で設けられている。本実施例のように接続用電極の形状を格子状とすることで、千鳥形状同様に電極の配置されるピッチ間隔を広く取りながらも電極数を多く配置することが出来る。

【0026】図18は、本発明における半導体装置の実装方法の別の一実施例である。図18(a)は、図16および図17で説明した半導体装置24の回路基板13への実装の一実施例を示したもので、図18(b)は、図18(a)のA部を拡大した図である。本実施例による実装方法は、前記した半導体装置12の実装方法(図3)と同様であるので説明は省略する。

【0027】

【発明の効果】本発明によれば以下のような効果を有する。

【0028】半導体チップを搭載するキャリア基板にハーフスルーホールを有する、一般的なLCC(リードレスチップキャリア)に比べ、キャリア基板がスルーホールを持たない片面の単層基板であるため、従来スルーホールを形成する際に必要であった基板への穴開け工程・メッキ工程が不要になり、かつ、スルーホールを半分にするための切断工程も不要になる。従って本発明の半導体装置によれば、従来からの一般的なLCCに比べ半導体装置を安価に、かつ歩留まり良く提供することが出来る。また、接続電極を千鳥形状・格子状とすることで、回路基板との接続電極のピッチ間隔を広くとりながらも電極数を多く配置することが出来る。また、本発明によれば回路基板上に半導体装置を実装する際に、接続電極間におけるショート不良を削減する効果があり、結果として歩留まり良く半導体装置を回路基板上に実装することが出来る。また、半導体チップの実装方法をワイヤボン

ディングとしたため、半導体装置を安価に、かつ歩留まり良く提供することが出来、半導体チップの実装方法をフェイスダウンとすることで、高密度実装が可能となり、半導体装置の小型化、マルチチップ化が達成出来る。さらに、本発明の実装方法によれば、回路基板上の接続電極を突起状にすることなく、一般的な平面形状のまま、本発明による半導体装置を回路基板に良好に実装することが可能となる。

【図面の簡単な説明】

【図1】本発明の一実施例における半導体装置の構造を説明する図である。

【図2】図1におけるA部を拡大した図である。

【図3】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図4】本発明の一実施例における半導体装置の構造を説明する図である。

【図5】図4におけるA部を拡大した図である。

【図6】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図7】本発明の一実施例における半導体装置の構造を説明する図である。

【図8】図7におけるA部を拡大した図である。

【図9】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図10】本発明の一実施例における半導体装置の構造を説明する図である。

【図11】図10におけるA部を拡大した図である。

【図12】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図13】本発明の一実施例における半導体装置の構造を説明する図である。

【図14】図13におけるA部を拡大した図である。

【図15】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図16】本発明の一実施例における半導体装置の構造

を説明する図である。

【図17】図16におけるA部を拡大した図である。

【図18】本発明の一実施例における半導体装置の回路基板への実装を示す図である。

【図19】従来法による半導体装置であるLCCを説明する図である。

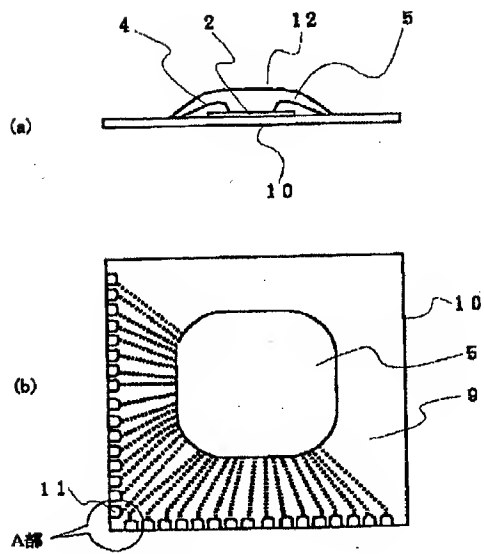
【図20】図19におけるA部を拡大した図である。

【図21】従来法による半導体装置であるLCCの回路基板への実装を示す図である。

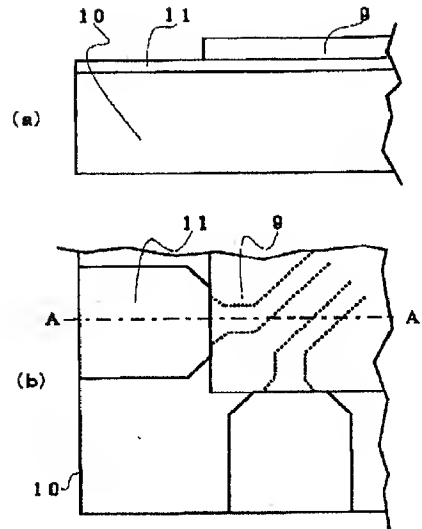
【符号の説明】

- 1 キャリア基板
- 2 半導体チップ
- 3 ハーフスルーホール
- 4 ワイヤボンディング
- 5 樹脂モールド
- 6 回路基板
- 7 回路基板上の接続電極
- 8 接合部フィレット
- 9 レジスト
- 10 単層片面のキャリア基板
- 11 回路基板との接続電極
- 12 半導体装置
- 13 回路基板
- 14 半田もしくは導電性樹脂
- 15 モールド部のニゲ
- 16 回路基板の電極
- 17 回路基板との接続電極
- 18 半導体装置
- 19 回路基板との接続電極
- 20 半導体装置
- 21 半導体チップの接合部
- 22 半導体装置
- 23 半導体装置
- 24 半導体装置
- 25 半導体チップ

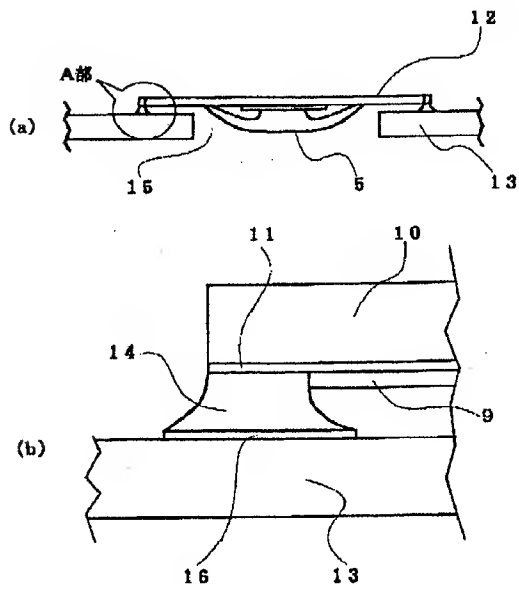
【図1】



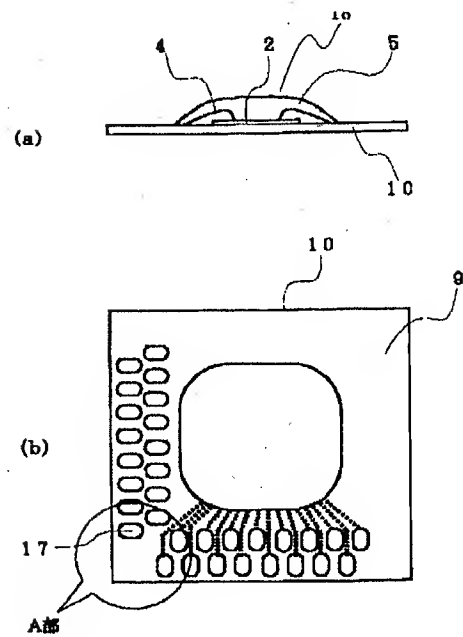
【図2】



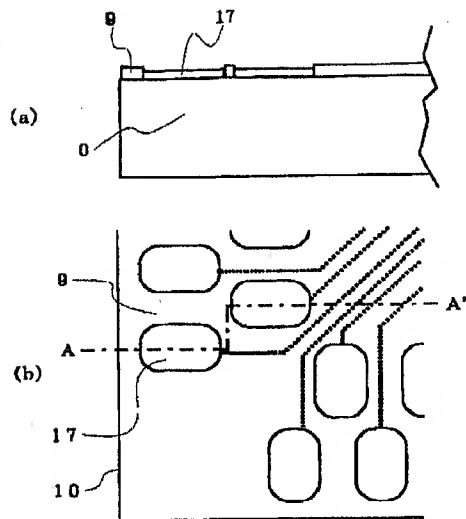
【図3】



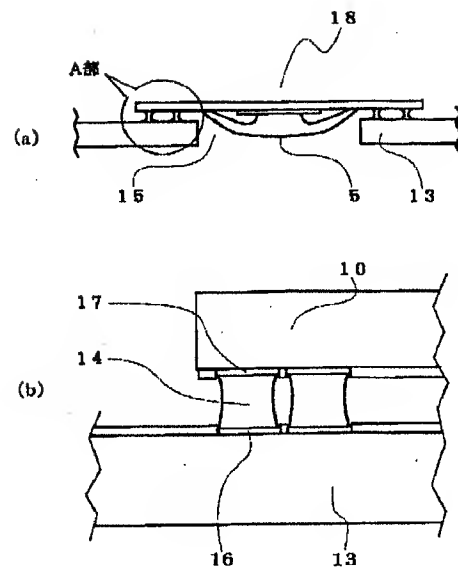
【図4】



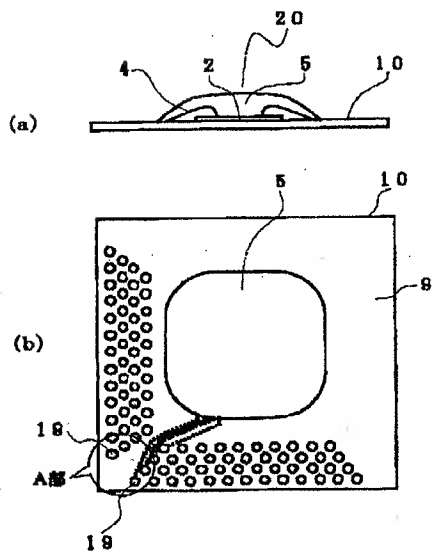
【図5】



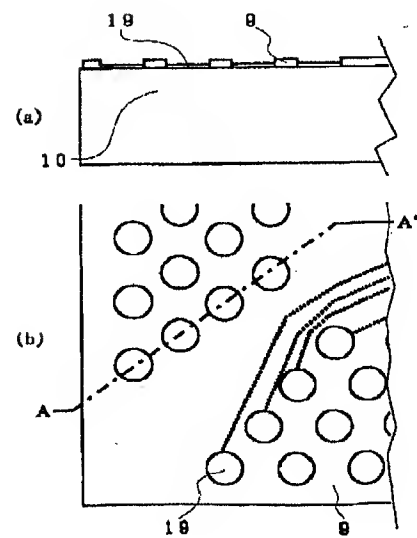
【図6】



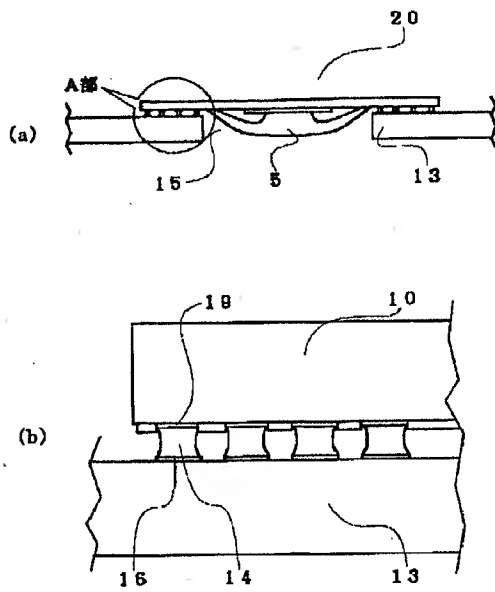
【図7】



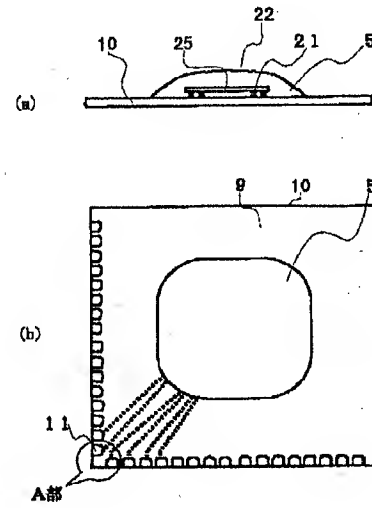
【図8】



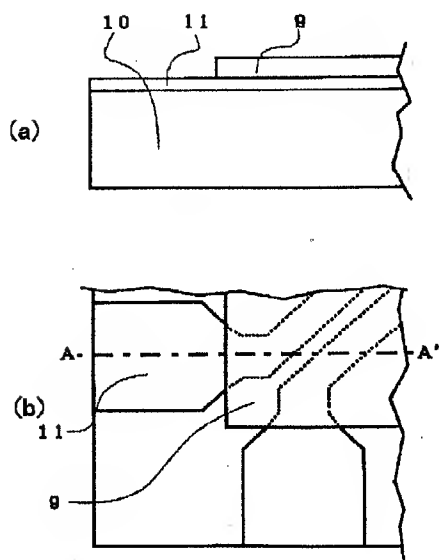
【図9】



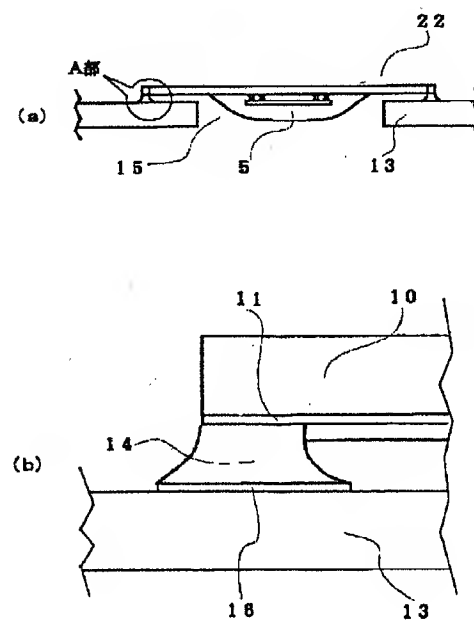
【図10】



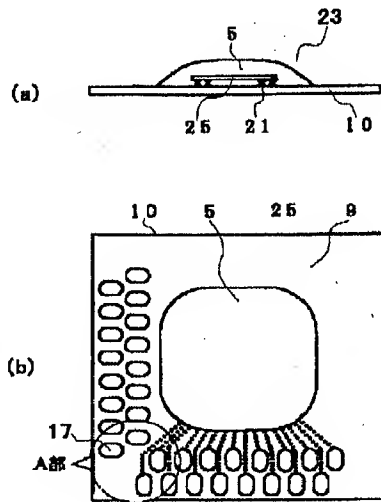
【図11】



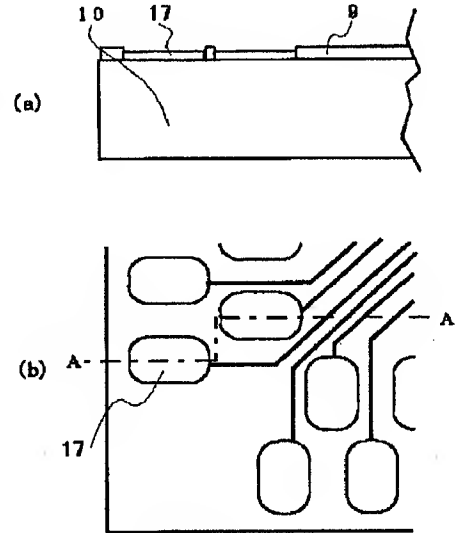
【図12】



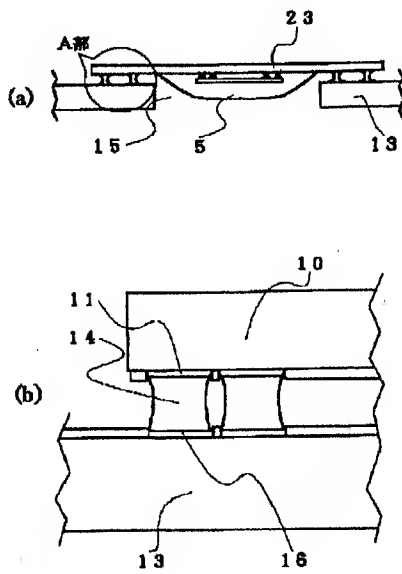
【図13】



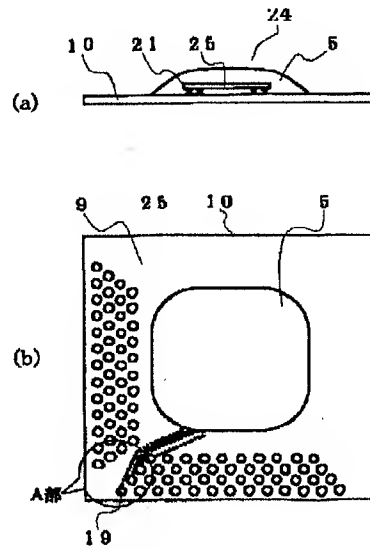
【図14】



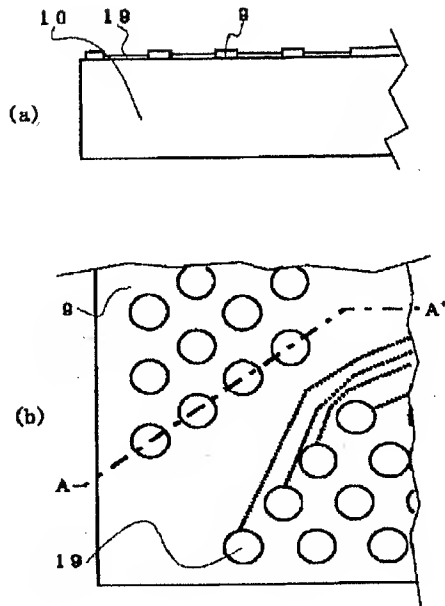
【図15】



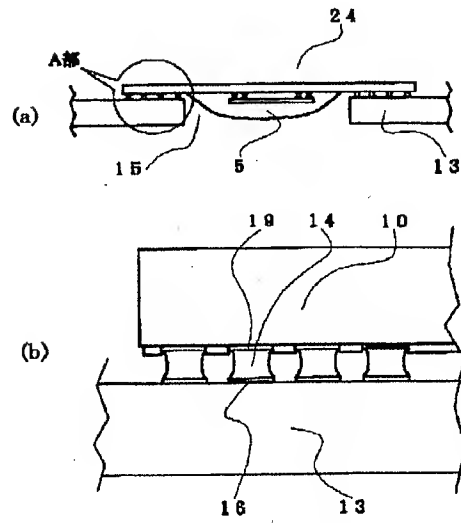
【図16】



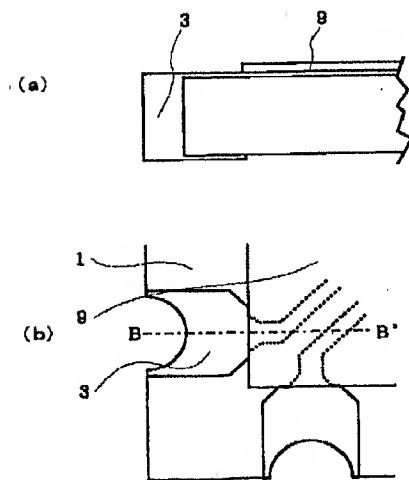
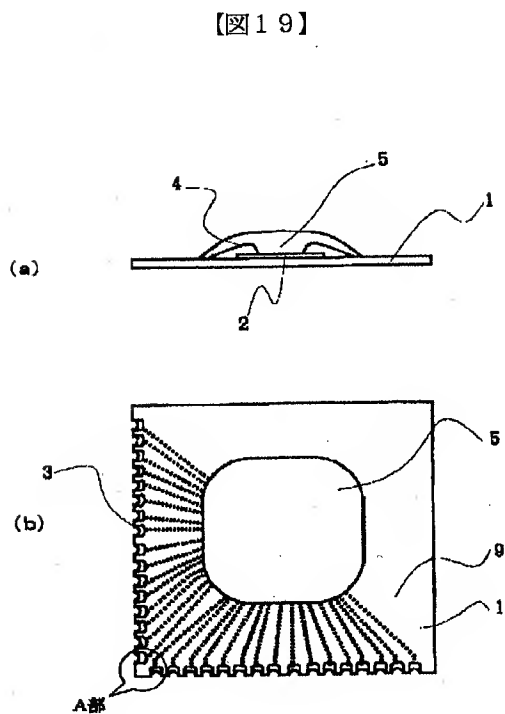
【図17】



【図18】



【図20】



【図21】

